

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-062979
(43)Date of publication of application : 02.03.1990

(51)Int.Cl. G01R 31/28
G01R 31/302
H01L 21/66

(21)Application number : 63-214454
(22)Date of filing : 29.08.1988

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>
(72)Inventor : KUJI NORIO

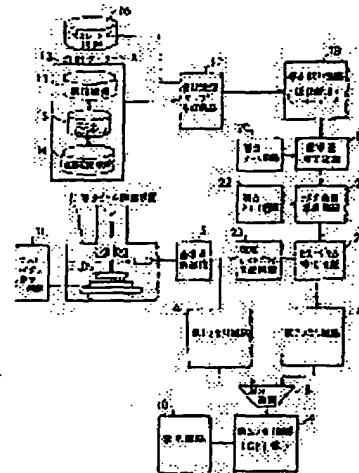
(54) INTEGRATED CIRCUIT TESTING DEVICE

(57)Abstract:

PURPOSE: To generate a fault image at all time even without a quality sample by providing 1st and 2nd memory circuits, a brightness histogram generating circuit, and a histogram equalizing circuit.

CONSTITUTION: An observation image of the test device DUT of the 1st memory circuit 6 is inputted to the brightness histogram generating circuit 23 to generate a histogram even as to insulation brightness. Then image data generated from the histogram and a design logic map is inputted to the histogram equalizing circuit 24.

Then histograms of both images are compared and matched to find a conversion coefficient for converting the histogram curve of a design raster image so that histogram curves conform with each other. This conversion coefficient is used to adjust the relative brightness of a design raster image for referencing which is obtained from the design logic map and the result is inputted as a design raster image of an absolute value to the 2nd memory circuit 7. Then a difference circuit 8 calculates the difference between the DUT image of the circuit 6 and the raster image obtained from the design logic map of the circuit 7.



⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A) 平2-62979

⑬Int.Cl. 5

G 01 R 31/28
31/302
H 01 L 21/66

識別記号

庁内整理番号

⑭公開 平成2年(1990)3月2日

C

7376-5F
6912-2G
6912-2G

G 01 R 31/28

D

L

審査請求 未請求 請求項の数 1 (全8頁)

⑮発明の名称 集積回路試験装置

⑯特願 昭63-214454

⑰出願 昭63(1988)8月29日

⑱発明者 久慈 憲夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳代理人 弁理士 玉蟲 久五郎 外2名

明細書

1.発明の名称

集積回路試験装置

に分割し、各画素が含む設計論理マップ中の図形面積を算出する手段。

前記算出する手段により一部又は全画素についてそれぞれの含む図形面積を求めたとき、その図形面積についてのヒストグラムと、試料デバイスからの観測画像の絶対輝度についてのヒストグラムを比較照合する手段、とを有することを特徴とする集積回路試験装置。

2.特許請求の範囲

動作状態に置かれた集積回路の試料デバイスの一定領域を電子ビームにより2次元の走査をする手段と、

前記電子ビームの走査により前記試料の表面より発生する2次電子をテストパターンに従いサンプル点で電気信号に変換して試料デバイスの画像データを蓄積する手段と、

前記試料デバイスの蓄積した画像データと前記集積回路の予め用意された画像の参照データとの間の差分像より故障点を求める手段とを具えた電子ビーム試験装置において、

設計データベースから設計論理マップを取り出す手段、

設計論理マップの任意領域を任意サイズの画素

3.発明の詳細な説明

〔産業上の利用分野〕

本発明は、集積回路の故障診断を高速かつ詳細に行う電子ビーム試験装置に関する。

〔従来の技術〕

電子ビームテスターによる試験の試験方法の一つにダイナミックフォールトイメージング(以下DFIと云う)と呼ばれる方法がある(T.C.May et al., "Dynamic Fault Imaging of VLSI Random Logic Devices", 1984 IEEE/IRPS, pp.95-108)。

第2図はこの方法による従来の装置のプロック図である。図において、1は電子ビームテスト装置、2はDUT、3は参照デバイス、4はXYステージ、5は画像変換回路、6は第1メモリ回路、7は第2メモリ回路、8は差分回路、9は第3メモリ回路、10は表示装置、11はテストバタン発生回路である。電子ビーム試験装置1の試料室には試験デバイス(DUT:Device Under Test)2と良品の参照デバイス3が置かれ、同一のテストバタンが同時に加えられるよう構成されている。両デバイスはXYステージ4の上に置かれテストバタン発生回路11の指示を受けながらXYステージの移動にあわせ、電子ビームの走査領域の下に交互に移動できるように構成されている。電子ビームは、その直下に置かれた動作状態のデバイス上の一定領域を2次元的に走査し、その際表面より発生する2次電子を画像変換回路5で電気信号に変換し、DUT2の画像データは第1メモリ回路6に、参照デバイス3の画像データは第2メモリ回路7に夫々蓄えられる。一つの画像はテス

トバタンの一つのサイクルの一定タイミングにおける動作状態を表しておりテストバタンの所望サイクルの一定タイミングにおいて時間の早い方から順に画像の必要数だけ取り込まれ、メモリ回路に蓄積される。この図に示す例では、DUT2の第1メモリ回路6に蓄えられた観測像と、参照デバイス3の第2メモリ回路7に蓄えられた観測像とは、差分回路8でテストバタンの対応するサイクル毎に画像間の差分がとられ、故障のため一致しない差分、即ち故障像(DFI像)は観測された順に第3メモリ回路9に蓄積される。この差分像は、同様に観測された順に並べられ、3次元テストバタン像として表示装置10上に表示される。

一般に、蓄積回路のあるステップのとき、ある部分が故障していると、その故障の影響は信号の伝搬する方向に伝わり、ステップの経過とともに、時間と共に多数の回路ノードに波及していく。これを故障像として見たとき、第3図の表示走査に示すようになり、故障バタンは時間とともに拡大していくように見ることができる。故障バタンは、

このような広がりをみせるとき、その起点が故障の発生点となる。このようにDFI法では、設計上の知識がなくても故障箇所を直感的に認識できるという特徴があり、極めて簡便かつ高速に故障箇所の特定ができる。従つて、本手法によれば蓄積回路の設計者以外の技術者でも自由に故障診断を行うことができ、開発部門から生産ラインに至るまでの応用が期待されている。

(発明が解決しようとする課題)

しかしながら、従来のこの種装置では故障像を得るために必要な参照像は、実際の蓄積回路の良品デバイスを使うことしか得られなかつた。そのため、次のような点が問題であり、実用化の大きな障害となつていた。

1) 良品デバイスには経時的特性変化が必然的に伴い、時には動作不良を行すこともある。そのため、良品デバイスをもとにして得られた参照像の信頼性は低く、デバイスが良品で正しく動作することを保証したり確認したりするため

の管理が常に必要となる。

2) 開発段階など良品デバイスが得られない段階でのテストにはこの方法は使えない。

3) 近年の蓄積回路は、少量多品種化しているため、保証された良品が得にくい。しかも良品であることを100%保証するためのテストバタン数が膨大で、テストコストが飛躍的に増大する。このような問題は、参照像を設計データより直接生成し、良品デバイスがなくとも試験できるようにして解決できる。すなわち、設計データは経時的な特性変化がなく、且つ規模の大小にかかわらず常に必要な参照データを含んでいるからである。このような考え方たち、設計データから論理シミュレーション結果と配線バタンデータと回路を互いに関連づけたものを読み出し、シミュレーションによる論理値で配線バタンを色分けした設計論理マップとよばれる参照像を生成する方法が提案されている。

(特開昭61-198069号公報「蓄積回路の試験装置とその使用法」)

ところが、この設計論理マップは、観測画像信号とは全く異質のものであつた。第3図は設計論理マップと観測画像の相違を説明する図で、31は信号レベルロウの配線バタン、32は信号レベルハイの配線バタンである。(a)は設計論理マップの例を示している。信号レベルロウの配線バタン31は無色で、信号レベルハイの配線バタン32は斜線で表示され配線バタンは多角形、矩形、幅付線等の形態で表現された图形(以下ベクトル图形と呼ぶ)の形態で画像が表現される。(b)はデバイス表面を電子ビームで走査をしたときの2次電子信号のアナログ信号値を示す。この画像信号がメモリ回路に取り込まれるときは、(c)に示すように、電子ビームが所定の位置にきたときの信号値をサンプルし、デジタル値に変換し、(d)に示すようなラスタ画像データの形態で蓄積される。

従来、ベクトル图形による画像データをラスタ画像データに変換することは可能ではあつたが、DF1法における差分画像の生成に適用するには

輝度の低い状態で画像をとりこむことになるため、配線バタンをベクトル图形化することは極めて困難であつた。

従来の電子ビーム試験装置においては、良品サンプルと比較して、初めてDF1法に必要な故障像が生成できたのに対し、本発明の装置は、この点を解決し、良品サンプルが無くても、常に故障像の生成が可能となる手段を提供することにある。

(課題を解決するための手段)

動作状態に置かれた集積回路の試料デバイスの一定領域を電子ビームにより2次元の走査をする手段と、前記電子ビームの走査により前記試料の表面より発生する2次電子をテストバタンに従いサンプル点で電気信号に変換して試料デバイスの画像データを蓄積する手段と、前記試料デバイスの蓄積した画像データと前記集積回路の予め用意された画像の参照データとの間の差分像より故障点を求める手段とを具えた電子ビーム試験装置において、設計データベースから設計論理マップを

次のような問題があつた。

1) 画像の輝度レベルは、所定位置の画素点における配線の有無のみから求められるため、高々3値までである。一方、有限径の電子ビームの走査によりえられる観測像はその輝度が本質的には多値であり、むしろ連続量に近い。

2) 画像の絶対的な輝度値と観測像の輝度値とを比較するため、同一尺度にもとづいた表現にするいわゆる等化する手段がなかつた。

従つて、等化をしてない両画像の差分像では、ノイズ成分のほうが大きくなり、真の不一致バタン(故障バタン)の識別ができないなどの問題があり、故障像を生成することが困難であつた。

上記公報文献では両者を比較する手段として、観測像の配線バタンをベクトル图形に変換し、これを設計論理マップと比較する手段を提案しているが、DF1法にかかる方法を適用するには、故障バタンの挙動を一望のものと観測する必要から観測領域を広くとる必要がある。ところが、観測領域を広くとることは、走査線数の制約から解

取り出す手段と、設計論理マップの任意領域を任意サイズの画素に分割し、各画素が含む設計論理マップ中の图形面積を算出する手段、前記算出する手段により一部又は全画素についてそれぞれの含む图形面積を求めたとき、その图形面積値についてのヒストグラムと、試料デバイスからの観測画像の絶対輝度についてのヒストグラムを比較照合する手段とを有するようにした。

(実施例)

第1図は、本発明装置の実施例を説明するプロトクルである。図において、12は設計データベース、13は回路情報、14は配線图形情報、15はクロスレフアランス、16はシミレーション情報、17は設計論理マップ生成回路、18は第4メモリ回路、19は画像歪補正回路、20は第5メモリ回路、21はラスタ画像変換回路、22は第6メモリ回路、23は輝度ヒストグラム生成回路、24はヒストグラム等化回路、他の記号は前出のものを使用する。電子ビーム試験装置1の

試料室にはD U T 2 が置かれ、テストバタン発生回路 1 1 により所定のテストバタンが供給されている。動作状態のD U T 2 上の所定領域を電子ビームで走査するとき発生する二次電子を画像変換回路 5 で電気信号に変換し、画像データを第 1 メモリ回路 6 に蓄える。一方、設計データベース 1 1 の中から回路情報 1 2 と配線图形情報 1 3 およびクロスレフアランス 1 5 が、そしてシミレーション情報 1 6 から各回路ネット期待論理値が取り出され、設計論理生成回路 1 7 で、設計論理マップとして第 4 メモリ回路 1 8 に蓄える。この設計論理マップは、画像歪補正回路 1 9 に入力され、D U T 2 からの像に各部分が正確に対応するよう補正される。この補正に際しては、予め算定された第 5 メモリ回路 2 0 に蓄えられているD U T 画像の歪パラメータが用いられる。こうして得られた像は、ラスタ画像変換回路 2 1 に入力され、任意の画素に分割し、分割された集合体であるラスタ画素に変換され画像データ化される。ラスタ画像への変換は第 6 メモリ回路 2 2 に蓄えられてい

る電子ビームスポットの形状を反映した图形と、設計論理マップの配線图形との重なり面積を、各画素の位置で算定することで行われる。なお、画素の歪補正は、ラスタ画像変換の前に行つても、後に行つてもなんら差し支えない。この段階では、ラスタ画像データに変換された像の各画素における値は単なる重なり面積であつて、D U T 2 からの観測画像の輝度の値とは一致していない。

そこで、第 1 メモリ回路 6 のD U T の観測画像を輝度ヒストグラム生成回路 2 3 に入力して絶対輝度についてのヒストグラムを生成する。次ぎに該ヒストグラムと設計論理マップから生成されたラスタ画像データ（設計ラスタ像）をヒストグラム等化回路 2 4 に入力し、両者の像のヒストグラムを比較照合しヒストグラム曲線が一致するよう設計ラスタ像のヒストグラム曲線を変換する変換係数を求め、この変換係数により設計論理マップから得られた参照用の設計ラスタ像の相対的な輝度を調整して絶対値の輝度の設計ラスタ像として第 2 メモリ回路 7 に入力される。第 1 メモリ回

路 6 のD U T 像と第 2 メモリ回路 7 の設計論理マップから得られた設計ラスタ像との間で差分回路 8 で差分がとられる。該差分像（D F I 像）はテストサイクル順に並べられ、D F I 像として第 3 メモリ回路 9 に入力され、表示回路 1 0 を通して表示される。

第 4 図は、設計論理マップのラスタ画像変換の具体的な実施例を説明する图形で、(a) は微細電子ビームで走査する場合、(b) は太い電子ビームで走査する場合である。図において、4 1 は電子ビームスポット、4 2 は論理 1 の配線領域、4 3 は論理 0 の配線領域、4 4 は4 2 、4 3 の領域を除いた地の領域、4 5 は格子点で、電子ビームスポット 4 1 の正方形は電子ビームの照射するスポットの形状を近似したものである。

(a) は設計論理マップの上を細く絞つた電子ビームで比較的小さい領域 4 1 を走査した場合で各画素に対応する電子ビームスポット 4 1 の輝度は高々一本の配線とビームスポット形状图形の重なり面積で決まる。配線領域 4 2 の斜線は配線の

論理 1 で輝度は明るく、配線領域 4 3 の点模様は配線の論理 0 で輝度は暗く、領域 4 4 は前記配線領域以外の地の輝度で、前の 4 2 、4 3 の二つの領域の中間の明るさである。電子ビームが論理マップ上の配線バタンのどの部分を照射するかにより各画素の明るさは変化し、電子ビーム試験装置の観測像では、配線領域 4 2 にかかる照射面積が広い程輝度は高く、配線領域 4 3 にかかる照射面積が広い程輝度は小さい。すなわち、第 4 図 (a) では各画素の明るさは、

$$E > F > G > A > D > C > B$$

の順番になる。このような関係を考慮し、图形間の重なり面積を算定し、その値をもつて各画素における輝度の相対値をきめることができる。

一方、(b) は設計論理マップの上を太い電子ビームで走査した場合である。この場合は画素間の距離が大きくなり、限られた画素数で広い面積を得ることになり、実際のD F I を観測する場合に最も近い走査の仕方となる。この場合、電子ビームスポット 4 1 による画素は複数の配線にまた

がる可能性が高く、各画素の輝度はそれらを総合した積分的な値となる。配線バタンが電子ビームスポット41にどのくらいの長さで重なつているかを調べることで各画素の輝度を得ることができる。具体的には、各配線を微小長の配線要素に分割し、それと最も近接する画素の中心の格子点45に集積して加算し、その総和を以て各画素の輝度の相対値とする。図において画素41内の配線の微小点からの格子点45に向かう斜めの矢印はこの模様を示している。

第5図は、ヒストグラムの等化方法の実施例を説明する図であり、第4図で決めた相対的な輝度は絶対的な輝度値に変換される。(a)は、微細ビームで小さい領域を走査した場合の輝度ヒストグラムを示し、画像の解像度が十分高い場合には、そのヒストグラムの各ピークの輝度がそれぞれ論理1の配線、配線以外の部分、論理0の配線の輝度に夫々対応する。(b)は、設計論理マップより得た設計ラスター像のヒストグラムを示したもので、第4図におけるA・B・Eの位置における画

素の輝度を各ピークの輝度（この図では40, 130, 200の各値）に対応させ、C・D・E・F等の中間的な値は重なり面積をもに比例計算することでヒストグラムの等化が実現され、輝度の絶対値を求めることができる。(c)は大型ビームで走査したときのヒストグラムを示す。この場合は、輝度が複数の配線バタンの積分となるため、ピークは明確には現われず、論理0・論理1の配線の輝度との対応は不明瞭になる。そこで電子ビームを細く絞つた(a)の場合の各ピークの輝度（各々40, 130, 200）を用い、輝度の絶対値は、

$$I = 40 \cdot S_{1,1} + 200 \cdot \sum S_{0,1} + 130 \cdot S_2$$

- ・電子ビーム面積 = $\sum S_{1,1} + \sum S_{0,1} + S_2$
- ・ $S_{1,1}$: 論理1の配線要素の面積
- ・ $S_{0,1}$: 論理0の配線要素の面積
- ・ S_2 : 配線以外の領域の面積

の式で求められ、ヒストグラム等の等化が図れる。

(d)は観測画像が経時変化を起こした場合のヒストグラムを示す。ピークAの輝度とその半値幅を(c) (d)で各々求め、その間のヒストグラム間の変換式を求めてことで、両者のヒストグラムの等化が図れる。すなわち、輝度の変換式は、

$$X = p \cdot x + q$$

X : (d)における輝度

x : (c)における輝度

(c)では、半値幅が20、ピーク値が130、(d)では半値幅が30でピーク値が150なので、

$$135 = p \cdot 120 + q$$

$$165 = p \cdot 140 + q$$

となりこれを解くことで、パラメータp, qが得られる。この変換式を用いることで、常に観測画像と設計論理マップから得た参照像の輝度値を常に一致させることが可能となる。

以上の結果から明らかなように、本発明によれば、多値の輝度レベルを持ちかつその輝度が観測像のそれと一致する参照画像を設計論理マップから常に生成することができる。従来の技術に比べて、良品デバイスを用いることなく、DFI法に基づくテストが可能になつたという点で改善があつた。

【発明の効果】

以上説明したように、本発明にかかる装置は、参照像を設計データから生成するため、次の利点がある。

- 1) 必要な設計データがある場合、常に参照像の生成が可能なため、良品の有無にかかわらずあらゆる段階のテストに応用でき、適用範囲が大幅に拡大される。
- 2) 設計データはそれ自身が常に良品であり、良品の検証の必要がない。
- 3) 設計データは変質することもないため、良品サンプル管理の必要がなく、かつ参照像の信頼

性は極めて高い。

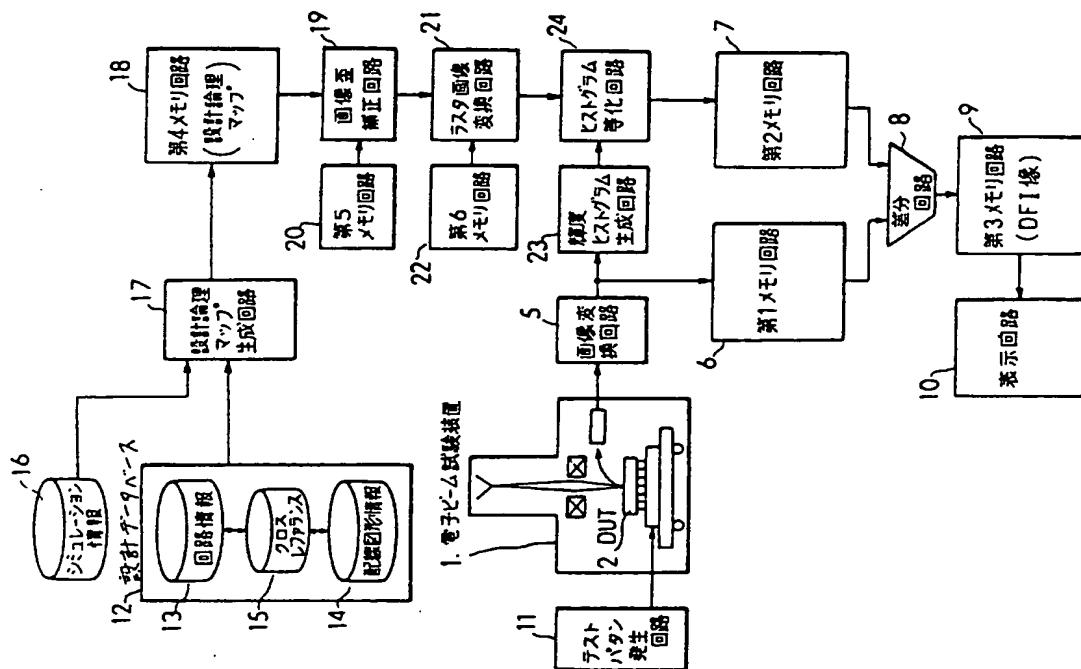
4. 図面の簡単な説明

第1図は本発明装置のブロック図、第2図は従来の装置のブロック図、第3図は設計論理マップと観測画像の相違を説明する図、第4図は設計論理マップのラスター画像変換の実施例を説明する図、第5図はヒストグラム等化方法の実施例を説明する図である。

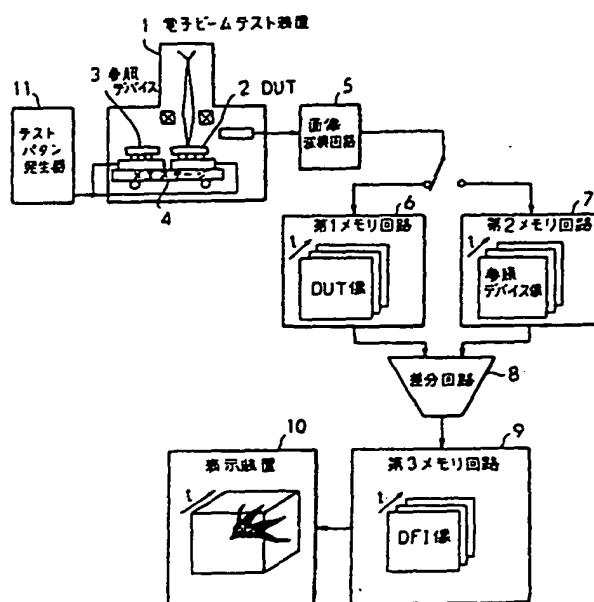
1は電子ビームテスト装置、2はDUT、3は参照デバイス、4はXYステージ、5は画像変換回路、6は第1メモリ回路、7は第2メモリ回路、8は差分回路、9は第3メモリ回路、10は表示装置、11はテストバタン発生回路、12は設計データベース、13は回路情報、14は配線图形情報、15はクロスレフアランス、16はシミレーション情報、17は設計論理マップ生成回路、18は第4メモリ回路(設計論理マップ)、19は画像歪正回路、20は第5メモリ回路、21はラスター画像変換回路、22は第6メモリ回路、23は輝度ヒストグラム主成回路、24はヒストグラム等化回路、25は画像変換回路、26は第1メモリ回路、27は第2メモリ回路、28は差分回路、29は第3メモリ回路(DFI像)、30は表示回路である。

ラム生成回路、24はヒストグラム等化回路、31は信号レベルロウの配線バタン、32は信号レベルハイの配線バタン、41は電子ビームスポット、42は論理1の配線領域、43は論理0の配線領域、44は地の領域、45は格子点。

特許出願人 日本電信電話株式会社
代理人 弁理士 玉置 久五郎
(外2名)

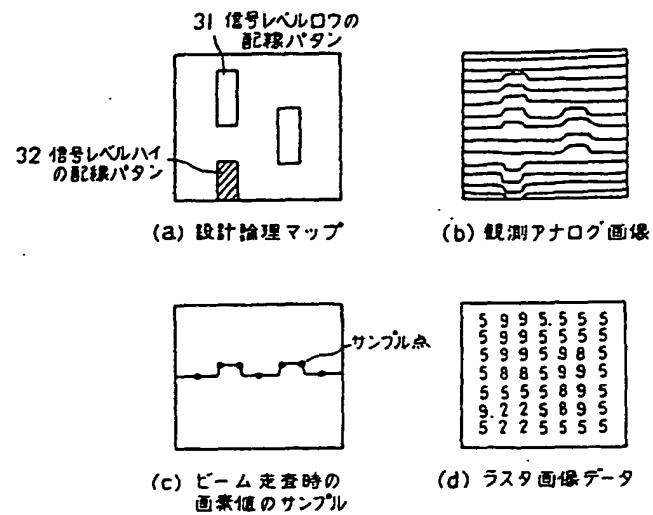


本発明装置のブロック図
第1図



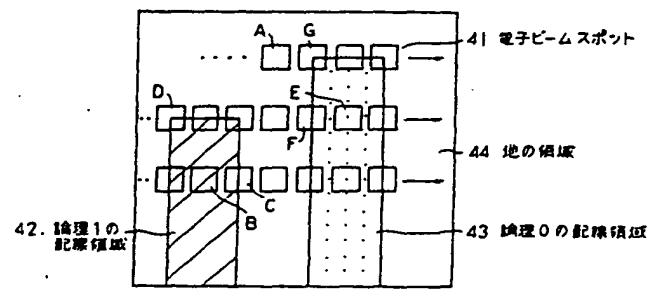
従来の装置のブロック図

第 2 図

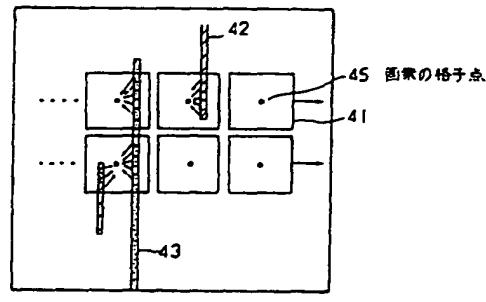


設計論理マップと観測画像の相違を説明する図

第 3 図



(a) 細かい電子ビームで走査する場合



設計論理マップのラスター画像変換の実施例を説明する図

第 4 図

